

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

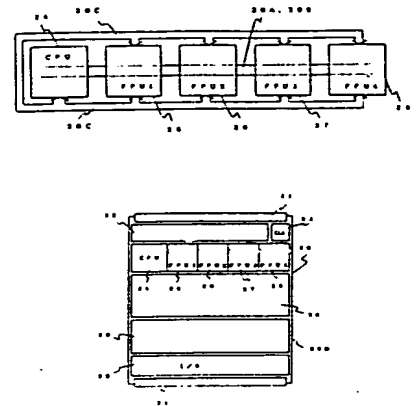
(54) SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT PACKAGING

SAID SEMICONDUCTOR DEVICE

- (11) 3-127214 (A) (43) 30.5.1991 JP
 (21) Appl. No. 64-267160 (22) 13.10.1989
 (71) HITACHI LTD(1) (72) TAKUO OKABASHI(3)
 (51) Int. Cl⁵. G06F1/18, G06F15/16, H01L25/04, H01L25/18, H05K13/06

PURPOSE: To improve the working speed of a system by extending the clock signal wiring connected to each clock signal external terminal of the 1st and 2nd semiconductor devices or a coprocessor signal wiring connected to a coprocessor signal external terminal on a packaging substrate in a substantial straight line.

CONSTITUTION: A clock signal wiring 20B connected to each clock signal external terminal of the 1st and 2nd semiconductor devices provided between a microprocessor 24 and a coprocessor 25 or coprocessor 26 - 28 or a coprocessor signal line 20A connected to a coprocessor signal external terminal is extended on a packaging substrate 20D in a substantial straight line. Thus the length of the wiring 20B or 20A formed on the substrate 20D can be shortened and therefore the signal delay is reduced. Then the working speed of a system can be improved for an electronic equipment 20.



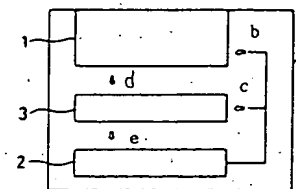
21: connector. 22: I/O driver. 29: memory. 30: peripheral circuit

(54) INFORMATION PROCESSOR

- (11) 3-127215 (A) (43) 30.5.1991 (19) JP
 (21) Appl. No. 64-267162 (22) 13.10.1989
 (71) FUJITSU LTD (72) MIKIO UEHARA
 (51) Int. Cl⁵. G06F1/26, G06F11/14

PURPOSE: To improve the availability of an information processor by securing the automatic restart of the processor even if an operator is distant away from the processor to prevent the discontinuation of drive of the processor owing to an intermittent fault that can be recovered.

CONSTITUTION: When the abnormality is detected from the diagnosis of an information processing part 1, a temporary cut-off command of a power supply is issued to a power control part 3 from the part 1. The part 3 cuts off the power supply based on the received command and applies the power supply after a fixed time. Thus the part 1 is restarted. Thus the part 1 is automatically restarted as long as the abnormality of the part 1 is caused by an intermittent fault and can be solved by the restart. As a result, the part 1 is started as usual and can perform a due task. In such constitution, the availability of an information processor can be improved.



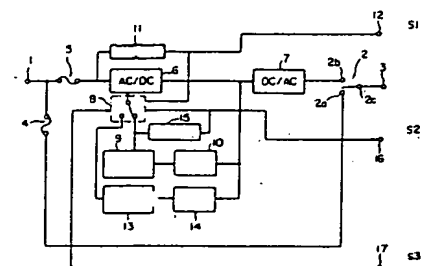
2: power supply part. a: information processor. b: power supply. c: permanent power supply. d: command. e: control

(54) UNINTERRUPTIBLE POWER SUPPLY

- (11) 3-127216 (A) (43) 30.5.1991 (19) JP
 (21) Appl. No. 64-265207 (22) 13.10.1989
 (71) TOSHIBA CORP (72) SHINTARO WATANABE
 (51) Int. Cl⁵. G06F1/30, G06F1/26, H02J9/06

PURPOSE: To prevent the fault of a computer system serving as a load by switching a back-up battery to a saving battery for supply of power and also transmitting a saving process start signal to a load device when a power failure of an external power supply is detected together with the voltage drop of the saving battery.

CONSTITUTION: A detection circuit 11 is provided to detect the power failure of an external power supply together with a saving battery 13 having the power capacity enough to withstand the saving processes of several times carried out at the side of a load device, and a detection circuit 15 which detects the voltage drop of a back-up battery 9. Then the battery 9 is switched to the battery 13 for supply of power when the power failure of the external power supply is detected together with the voltage drop of the battery 13. At the same time, a saving process start signal is transmitted to a load device. Thus it is possible to prevent the fault of a computer system, etc., which serve as a load.



1: input power supply. 3: output power supply. 10,14: charging. 51: power interruption status signal. 52: saving process start signal. 53: saving end signal

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平3-127214

⑬ Int. Cl.⁵
G 06 F 1/18

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)5月30日

7459-5B G 06 F 1/00 3 2 0 G
7638-5F H 01 L 25/04 Z※

審査請求 未請求 請求項の数 9 (全17頁)

⑮ 発明の名称 半導体装置及びそれを実装した電子装置

⑯ 特 願 平1-267160

⑰ 出 願 平1(1989)10月13日

⑱ 発 明 者 岡 橋 卓 夫 東京都小平市上水本町5丁目22番1号 日立マイクロコン
ピュータエンジニアリング株式会社内

⑲ 発 明 者 内 藤 雅 夫 東京都小平市上水本町5丁目22番1号 日立マイクロコン
ピュータエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立マイクロコンピュ
ータエンジニアリング
株式会社
東京都小平市上水本町5丁目22番1号

㉒ 代 理 人 弁理士 秋田 収喜
最終頁に続く

明 細 書

1. 発明の名称

半導体装置及びそれを実装した電子装置

2. 特許請求の範囲

1. マイクロプロセッサとコ・プロセッサとの関係にある第1半導体装置及び第2半導体装置を実装基板上に実装する電子装置において、前記第1半導体装置、第2半導体装置の夫々のクロック信号用外部端子又はコ・プロセッサ信号用外部端子に接続されるクロック信号配線又はコ・プロセッサ信号配線を前記実装基板上に実質的に直線で延在したことを特徴とする電子装置。

2. 前記第1半導体装置、第2半導体装置の夫々は、方形状半導体チップの周囲の各辺に沿って複数の外部端子を配列し、この複数の外部端子のうち前記半導体チップの周囲の一边、又は周囲の一边及びそれと対向する他辺に前記クロック信号用外部端子、コ・プロセッサ信号用外部端子の夫々を配列したことを特徴とする請求項1に記載の電子装置。

3. 前記第1半導体装置と第2半導体装置との間のデータバス信号等の制御信号の授受は前記実装基板上に延在するバスラインで行われ、このバスラインは前記クロック信号配線又はコ・プロセッサ信号配線と離隔しかつそれに沿って実質的に平行に前記実装基板上に延在させたことを特徴とする請求項1又は請求項2に記載の電子装置。

4. 前記第1半導体装置、第2半導体装置の夫々は方形状半導体チップの周囲の前記クロック信号用外部端子又はコ・プロセッサ信号用外部端子の夫々を配列した辺と異なる対向する2辺に前記制御信号用外部端子を配列したことを特徴とする請求項3に記載の電子装置。

5. 前記実装基板上に延在するバスラインはクロック信号配線又はコ・プロセッサ信号配線の両側に延在させたことを特徴とする請求項3又は請求項4に記載の電子装置。

6. 前記第1半導体装置、第2半導体装置の夫々はPGA、PLCC、QFP又はLCC構造で

構成されたことを特徴とする請求項1乃至請求項5に記載の夫々の電子装置。

7. 前記第1半導体装置、第2半導体装置の夫々のクロック信号用外部端子の周囲に配列された外部端子は固定電位に接続されたことを特徴とする請求項2乃至請求項6に記載の夫々の半導体装置。

8. 前記第1半導体装置、第2半導体装置の夫々の外部端子のうち、前記実装基板上に延在するクロック信号配線に近接する位置に配列された外部端子は固定電位に接続されたことを特徴とする請求項2乃至請求項7に記載の夫々の半導体装置。

9. 実装基板にコ・プロセッサを搭載した半導体装置を複数個実装する電子装置において、前記複数個の半導体装置のクロック信号用外部端子の夫々に接続される第1クロック信号配線及び第2クロック信号配線を実装基板上に交差させずに同一方向に延在したことを特徴とする電子装置。

ロセッサを実装した電子装置については、例えば日経エレクトロニクス、1987年7月13日号、第123頁乃至第138頁に記載される。

〔発明が解決しようとする課題〕

前記電子装置の実装基板上に実装されるマイクロプロセッサ、コ・プロセッサの夫々は独自に設計開発が行われる。つまり、マイクロプロセッサを収納するPGA構造を採用する半導体装置の外部端子の配列はコ・プロセッサを収納するPGA構造を採用する半導体装置の外部端子の配列に対して統一がなされていない。このため、PGA構造を採用するマイクロプロセッサ、コ・プロセッサの対応する外部端子間を実装基板上で接続する場合に、例えばクロック信号又はコ・プロセッサ信号用の配線を直線的に設置できないので、配線が長くなってしまったり、他の信号配線と交差してしまう。このため、信号配線の容量や抵抗が増大するので、信号が遅延するという問題点が生じる。マイクロプロセッサとコ・プロセッサは同期転送をしているために、マイクロプロセッサとコ・

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置及びそれを実装基板上に複数個実装した電子装置に適用して有効な技術に関する。

〔従来の技術〕

電子装置として実装基板上にマイクロプロセッサ(CPU)及びコ・プロセッサを実装したCPUボードが開発されている。コ・プロセッサの1例として浮動小数点演算素子(Floating Point Unit)がある。

前記マイクロプロセッサ、コ・プロセッサの夫々の半導体チップは通常PGA(Pin Grid Array)構造を採用する半導体装置に収納される。PGA構造を採用する半導体装置は数十〜数百本の外部端子(外部ピン)を配列できる。つまり、PGA構造を採用する半導体装置はマイクロプロセッサ、コ・プロセッサ等特に信号数の多い半導体チップの収納に最適である。

なお、この種のマイクロプロセッサ及びコ・プ

ロセッサ間又は複数個のコ・プロセッサ間で例えばクロックスキューが生じると誤動作の原因となったり、高速動作が防げられる。特に、クロック信号やコ・プロセッサ信号はシステムにおいて基準となる信号で最も高速動作が要求される信号であるので、これらの信号の遅延は電子装置のシステム全体の動作速度を低下するという問題点を生じる。

また、前記コ・プロセッサ信号やクロック信号の遅延は電子装置のシステム動作のタイミングにずれを生じる。このため、システムに誤動作が生じるので、電子装置の電氣的信頼性を低下するという問題点があった。

また、前記マイクロプロセッサやコ・プロセッサを収納するPGA構造を採用する半導体装置の外部端子(外部ピン)の配列は特別な配慮がなされていない。つまり、クロック信号用外部端子の周囲にはバスラインを通して伝達されるデータバス信号やアドレスバス信号を印加する外部端子が無造作に配列される。前記データバス信号やアドレ

スバス信号は、信号レベルの切替わりの際に、クロック信号用外部端子をアンテナとする電磁誘導に基づき、クロック信号にノイズが乗り、クロック信号波形に歪を生じさせる。取り扱うクロック信号が低周波数の場合はクロック信号波形の僅かな歪は特に問題ない。ところが、高周波数を使用し、クロック同期バスを持つシステムにおいては、クロック信号波形の僅かな歪がシステムの誤動作を引き起す。特に、本発明者が開発中の電子装置は、マイクロプロセッサ、コ・プロセッサの夫々を起動するクロック信号を演算速度の高速化やバスサイクルの高速化を図る目的で例えば40〔MHz〕の高周波数を使用するので、システムの誤動作が生じ易いという問題点があった。

本発明の目的は、マイクロプロセッサ、コ・プロセッサの夫々を実装基板に実装した電子装置において、システムの動作速度の高速化を図ることが可能な技術を提供することにある。

本発明の他の目的は、前記電子装置において、システムの誤動作を低減し、電気的信頼性を向上

数の外部端子(外部ピン)を配列し、この複数の外部端子のうち前記半導体チップの周囲の一辺、又は及びそれと対向する他辺に前記クロック信号用外部端子又はコ・プロセッサ信号用外部端子を配列する。

(3) 前記第1半導体装置と第2半導体装置との間のデータバス信号等の制御信号の授受は前記実装基板上に延在するバスラインで行われ、このバスラインは前記クロック信号配線及びコ・プロセッサ信号配線と離隔しかつそれに沿って実質的に平行に前記実装基板に延在させる。前記バスラインはクロック信号配線及びコ・プロセッサ信号配線の両側に沿って延在させる。

(4) 前記第1半導体装置、第2半導体装置の夫々のクロック信号用外部端子の周囲に配列された外部端子を固定電位に接続する。

(5) 前記第1半導体装置、第2半導体装置の夫々の外部端子のうち、前記実装基板上に延在するクロック信号配線に近接する位置に配列された外部端子を固定電位に接続する。

することが可能な技術を提供することにある。

本発明の他の目的は、前記目的を達成する半導体装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) マイクロプロセッサとコ・プロセッサとの関係にある第1半導体装置及び第2半導体装置を実装基板に実装する電子装置において、前記第1半導体装置、第2半導体装置の夫々のクロック信号用外部端子に接続されるクロック信号配線又はコ・プロセッサ信号用外部端子に接続されるコ・プロセッサ信号配線を実装基板上に実質的に直線に延在させる。

(2) 前記第1半導体装置、第2半導体装置の夫々は方形半導体チップの周囲の各辺に沿って複

(6) 実装基板にコ・プロセッサを搭載した半導体装置を複数の実装する電子装置において、前記複数の半導体装置のクロック信号用外部端子の夫々に接続される第1クロック信号配線及び第2クロック信号配線を実装基板上に交差させずに同一方向に延在させる。

(作 用)

上述した手段(1)によれば、前記実装基板上に延在するクロック信号配線又はコ・プロセッサ信号配線の配線長を短縮し、信号遅延を低減することができるので、電子装置のシステムの動作速度の高速化を図ることができる。

上述した手段(2)によれば、前記第1半導体装置、第2半導体装置の夫々を実装基板に実装した際にクロック信号用外部端子、コ・プロセッサ信号用外部端子の夫々を実質的に直線上に配列することができる。

上述した手段(3)によれば、前記コ・プロセッサ信号配線、クロック信号配線の夫々とバスラインとを離隔したので、クロストークを低減して

システムの誤動作を低減し、電子装置の電気的信頼性を向上することができる。

上述した手段(4)によれば、前記クロック信号用外部端子の周囲を固定電位で電磁場的に遮蔽し、データバス信号の信号レベルの切換えの際にクロック信号へのノイズの発生を低減できるので、システムの誤動作を防止し、電子装置の電気的信頼性を向上することができる。

上述した手段(5)によれば、前記実装基板上に延在するクロック信号配線の周囲を固定電位で電磁場的に遮蔽し、データバス信号の信号レベルの切換えの際にクロック信号へのノイズの発生を低減できるので、システムの誤動作を防止し、電子装置の電気的信頼性を向上することができる。

上述した手段(6)によれば、第1クロック信号配線と第2クロック信号配線との間に生じるクロストークを低減できるので、システムの誤動作を低減し、電子装置の電気的信頼性を向上することができる。

以下、本発明の構成について、一実施例とともに

コネクタ21の近傍に夫々配置される。入出力ドライバ回路22は例えば半導体チップをDIP(Dual In-line Package)で封止した半導体装置を複数個配列し構成される。

クロック発振回路23は上側の入出力ドライバ回路22に近接する位置に配置される。このクロック発振回路23は電子装置20のシステム動作のタイミングを規定するクロック信号(システムクロック信号)を発振する回路である。

メモリ回路29は電子装置20の実装基板20Dの中央部分に配置される。メモリ回路29は例えば半導体チップ(DRAMやSRAM等)をDIPで封止した半導体装置(半導体記憶装置)を複数個配列し構成される。

周辺回路30はメモリ回路29と下側の入出力ドライバ回路22との間に配置される。周辺回路30は前記入出力ドライバ回路22やメモリ回路29と同様に半導体チップをDIPで封止した半導体装置を複数個配列し構成される。

マイクロプロセッサ24及びコ・プロセッサ25～

に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔発明の実施例〕

本発明の一実施例である電子装置の概要を第2図(ブロック構成図)で示す。

第2図に示す電子装置20はマイクロプロセッサ及びコ・プロセッサを搭載したCPUボードである。この電子装置20は、実装基板の実装面20D上において、図中上下夫々にコネクタ21が設けられる。コネクタ21は電子装置20を外部機器に接続する機能をもつ。この上下夫々のコネクタ21間の領域において、実装基板の実装面20D上には主に入出力ドライバ回路(I/Oドライバ)22、クロック発振回路(CLK)23、マイクロプロセッサ(CPU)24、コ・プロセッサ(FPU1～FPU4)25～28、メモリ回路29及び周辺回路30が配置される。

前記入出力ドライバ回路22は上下に設けられた

28はメモリ回路29と上側の入出力ドライバ回路22との間の実装基板20Dの実装面上に配置される。本実施例の電子装置20は1個のマイクロプロセッサ24及び4個のコ・プロセッサ25～28で構成される。第1図(要部のブロック構成図)及び第2図に示すように、マイクロプロセッサ24及びコ・プロセッサ25～28は図中横方向に実質的に一直線上に配置される。

前記マイクロプロセッサ24及びコ・プロセッサ25(FPU1)は第3図(斜視図)及び第4図(断面図)で示すようにPGA構造を採用する半導体装置で構成される。つまり、マイクロプロセッサ24はベース基板24Aのほぼ中央部のキャビティ内部に搭載された半導体チップ24Bを封止キャップ24Cで封止し構成される。同様に、コ・プロセッサ25はベース基板25Aのほぼ中央部のキャビティ内部に搭載された半導体チップ25Bを封止キャップ25Cで封止し構成される。半導体チップ24B、25Bの形状は、例えば単結晶硅素基板で形成され、平面形状が方形状で構成される。ベース基板24A、

25Aの夫々は、例えばセラミック材で形成され、平面形状が実質的に正形状(長形状でもよい)で構成される。このベース基板24A、25Aの夫々は、必ずしもセラミック材に限定されず、例えばプラスチック材で形成してもよい。前記キャビティはベース基板24A、25Aの夫々の表面に設けられているので、半導体チップ24B、25Bの夫々はベース基板24A、25Aの夫々の表面(素子搭載面)側に搭載される。

ベース基板24A、25Aの夫々の裏面(実装面)側には第3図、第4図及び第5図(半導体装置の底面図)に示すように複数本の外部端子(外部ピン)24D、25Dの夫々が配列される。外部端子24D、25Dの夫々はベース基板24A、25Aの夫々の裏面からそれに対して垂直方向に突出し構成される。外部端子24D、25Dの夫々は第5図に示すように半導体チップ24B、25Bの夫々の周囲の各辺に沿って(周囲の4辺に夫々)規則的に配列される。外部端子24D、25Dの夫々はベース基板24A、25Aの夫々の裏面にm行×n列に配置される。ベース

プロセッサ信号に該当するかは後述する。また、半導体チップ24Bの左側に位置する外部端子24Dには基準電圧 V_{ss} 、電源電圧 V_{cc} 、クロック信号 $CLK1$ 、 $CLK2$ 等が配置される。半導体チップ24Bの上側及び下側に位置する外部端子24Dには各データバス信号 $D0 \sim D31$ 及びアドレスバス信号 $A0 \sim A29$ が配置される。

信号ピンの各機能については次のとおりである。

前記アドレスバス信号 $A0 \sim A29$ は32[bit]のアドレスバス信号である。アドレスバス信号 $A0 \sim A29$ は、データ転送サイクル時にアドレス、割込みアクノリッジサイクル時に割込みレベル、コ・プロセッサ命令時にコ・プロセッサID番号を夫々示す。

バイトコントロール信号 $BC0 \sim BC3$ は、データバス上の有効なバイトデータの位置を示す。

データバス信号 $D0 \sim D31$ は32[bit]のデータバス信号である。

アドレスストロブ信号 AS はアドレスバスに有効なアドレスが出力されたことを示す。

基板24A、25Aの夫々の中央部には半導体チップ24B、25Bの夫々を搭載する領域があり、この部分に外部端子24D、25Dの夫々は配置されない。

本実施例のマイクロプロセッサ24及びコ・プロセッサ25は、この外部端子24D、25Dの夫々の本数に限定されないが、135本の外部端子を有するPGA構造を採用する半導体装置で構成される。マイクロプロセッサ24の外部端子24Dの各機能は第6図(第5図に示す外部端子の各機能を示す図)に、コ・プロセッサ25の外部端子25Dの各機能は第7図(第5図に示す外部端子の各機能を示す図)に夫々示す。第6図、第7図の夫々に示すA～P行(14行)のうちのいずれかの行と1～14列のうちのいずれかの列との交差位置に示す機能は前記第5図に示す同一位置の外部端子24D、25Dの夫々の機能に該当する。

第6図に示すマイクロプロセッサ24において、半導体チップ24Bの右側に位置する外部端子24Dには基準電圧 $V_{ss}(GND)$ 、電源電圧 V_{cc} 、コ・プロセッサ信号等が配置される。どの信号がコ・

バスサイクルスタート信号 BS は、バスサイクルのスタート信号であり、1マシンサイクル間出力される。

データストロブ信号 DS はデータバス上に有効なデータがあることを示す。

リード/ライト信号 R/W はデータ転送方向を示す。

データトランスファコンプリート信号 DC は、データリード時に有効なデータがバス上に出力されたことを外部デバイスから知らせ、データライト時に外部デバイスがデータを取り込んだことを知らせる。

アシンクロナスデータトランスファコンプリート信号 $ASDC$ は、データリード時に有効なデータがバス上に出力されたことを外部デバイスから知らせ、データライト時に外部デバイスがデータを取り込んだことを知らせる。このアシンクロナスデータトランスファコンプリート信号 $ASDC$ は、非同期信号であり、コ・プロセッサ25～28を使用する場合には使用されない信号である。

リング信号RNGは、PSW中のRNGフィールドのMSB(リングレベル0と1に対応)を出力する。このリング信号RNGはスタック信号である。

グローバルバスリクエスト信号GBRは、マイクロプロセッサ24がグローバルバスのバス権を要求していることを示し、割込みレベル0の割込みが入った時出力される。

ホールドリクエスト信号HREQは外部デバイスからバス権の要求を知らせる。

ホールドアックノリッジ信号HACKはバス権を外部デバイスに渡すことを示す。

リセット信号RESETはマイクロプロセッサ24内をリセットする。

ホールト信号HALTは、入力された時、現在のバスサイクルを終了後、新しいバスサイクルに入らずに停止する。このホールト信号HALTはシステムエラーの時出力される。

フロート信号FLOATはマイクロプロセッサ24の外部出力ピンを無条件にハイインピーダンス

状態にする。このフロート信号FLOATは他の信号と独立に機能する。

内部キャッシュバージ信号PURGEは、外部デバイスが内部キャッシュのバージを要求していることを知らせ、マイクロプロセッサ24のすべての内部キャッシュがバージされる。

ノンキャッシュブル信号NCAは、入力されている間、内部キャッシュへの取込みを禁止し、出力においてページテーブル中のNC(Non Cacheble)ビットがセットされたページへのアクセス時及びLOC信号出力時にアクティブされる。

インタラプトリクエスト信号IRL0~IRL2は、3本の信号線にエンコードされた8つのレベルの割込み要求を行い、最高レベルのレベル0は割込みマスクをされない。

バスステータス信号BSTは、ハイレベルの時、外部デバイスがバスサイクルのノーマルサイクルであることを知らせ、ローレベルの時、異常を知らせる。この要因はDCTにて1/2クロック後に知らされる。

データトランスファコンプリートタイプ信号DCTは外部デバイスがリトライ、バスアクセスエラーのいずれかのバス転送結果情報を知らせる。

バスクロック信号LOCは、連続した複数のバスサイクルが分割できないことを示す。このバスクロック信号LOCは、リードモディファイライトサイクルで使用され、BESR1、BCLR1、CS1の命令が実行された時出力される。

アクセスタイプ信号BAT0~BAT2は現行バスサイクルのタイプを示す。

コ・プロセッサステータス信号CPST0~CPST2はコ・プロセッサ25~28がその状態を知らせる。

コ・プロセッサイネーブル信号CDEは、コ・プロセッサ25~28に対し、次のバスサイクルでデータバス上へのデータ出力することを指示する。

コ・プロセッサデータトランスファコンプリート信号CPDCはコ・プロセッサ25~28がデータリード時に有効なデータがバス上に出力されたことを知らせる。また、コ・プロセッサデータトラ

ンスファコンプリート信号CPDCはコ・プロセッサ25~28がデータライト時にデータを取込んだことを知らせる。

クロック信号CLKfは例えば20[MHz]版において20[MHz]クロックを入力する。クロック信号CLK2fは40[MHz]を入力する。

NCは使用されない外部端子24D(空ピン)である。

基準電圧Vssはシステムの各回路の接地電位例えば0[V]である。電源電圧Vccはシステムの各回路の動作電位例えば5[V]である。基準電圧Vss、電源電圧Vccの両方は固定電位である。

第6図において、コ・プロセッサ信号は斜め格子印()を付けた部分である。また、データバス信号D0~D31は左斜線印()を付けた部分である。

次に、コ・プロセッサ25~28のうち、第5図及び第7図に示すように、コ・プロセッサ25において、半導体チップ25Bの右側の一边には基準電圧(GND)Vss、電源電圧Vcc、コ・プロセッサ信

号、ホールドアクリッジ信号 HACK の夫々が印加される外部端子25Dが主体に配列される。前記コ・プロセッサ信号はアドレスバス信号 A27 ~ A29、バイトコントロール信号 BC0 ~ BC3、バスサイクルスタート信号 BS、リードライト信号 R/W、バスアクセスタイプ信号 BAT0 ~ BAT2、コ・プロセッサデータイネーブル信号 CDE、コ・プロセッサデータ転送完了信号 CPDC、データ転送完了信号 DC、コ・プロセッサステータス信号 CPST0 ~ CPST2 の夫々である。コ・プロセッサ信号は第7図において斜め格子印() を付けた部分である。また、NCは使用されない外部端子25D(空ピン)である。

前記コ・プロセッサ信号であるアドレスバス信号 A27 ~ A29 は複数個のコ・プロセッサ25~28の中から任意の1個のコ・プロセッサ25を選択する識別子を与える入力信号である。なお、以下の信号機能の説明は、コ・プロセッサ25を選択したと仮定して説明する。

バイトコントロール信号 BC0 ~ BC3 はデ-

コ・プロセッサデータ転送完了信号 CPDC はマイクロプロセッサ24とコ・プロセッサ25との間でデータバス上のデータ転送が終了したことを示す信号である。

データ転送完了信号 DC はマイクロプロセッサ24とメモリ回路29との間、又はコ・プロセッサ25とメモリ回路28との間でデータバス上のデータ転送が終了したことを示す信号である。

バスエラー信号 BERR は実行中のバスサイクルにエラーが発生したことを表す信号である。

コ・プロセッサステータス信号 CPST0 ~ CPST2 はコ・プロセッサ25の内部の動作状態を示す信号である。

ホールドアクリッジ信号 HACK は、マイクロプロセッサ24がバス権を放棄し、ホールド状態に設定されたことを表す信号である。

基準電圧 Vss はシステムの各回路の接地電位例えば0[V]である。電源電圧 Vcc はシステムの各回路の動作電位例えば5[V]である。基準電圧 Vss、電源電圧 Vcc の夫々は固定電位である。

タバス信号(D0 ~ D31)上の有効なデータの位置をバイト単位で示す信号である。

バスサイクルスタート信号 BS はバスサイクルが始まることを知らせる信号である。

リードライト信号 R/W はマイクロプロセッサ24が外部メモリからデータを読出したり又外部メモリにデータを書き込む信号、つまりデータ転送方向を示す信号である。

バスアクセスタイプ信号 BAT0 ~ BAT2 はマイクロプロセッサ24により出力されるアクセスの種類を示す信号である。

コ・プロセッサデータイネーブル信号 CDE は、アサートされ、1クロックサイクルの経過後、マイクロプロセッサ24のバスサイクルを開始させる信号である。このコ・プロセッサデータイネーブル信号 CDE は出力タイミング認識信号としてマイクロプロセッサ24から与えられる。

リトライ信号 RETRY は実行中のバスサイクルにエラーが生じた場合に再試行を要求する信号である。

前記半導体チップ25Bの前記一辺と対向する他辺(第7図中左辺)には基準電圧 Vss、電源電圧 Vcc、クロック信号 CLKf、CLKf 等の外部端子25Dが配列される。

コ・プロセッサ識別信号 CPID0 ~ CPID2 は電子装置20に複数個配置されたコ・プロセッサ25~28に識別子を与える信号である。

クロック信号 CLKf、CLKf の夫々はシステム内部の動作のタイミングを規定する基準信号である。

また、この左辺にはリセット信号 RESET、アップデータ信号 UD、ローデータ信号 LD、割込み要求信号 IRL、サイズ16信号 SIZE16 の夫々の外部端子25Dが配列される。

前記リセット信号 RESET は、すべての処理を中断し、すべてのシステム内部のレジスタを初期状態にする信号である。

本実施例のマイクロプロセッサ24はデータバス信号が32[bit]で構成される。アップデータ信号 UD、ローデータ信号 LD の夫々はデータ

バス信号が16[bit]に設定された場合のみ使用するアドレス信号である。このアッパーデータ信号UDはデータバス信号の上位16[bit]を出力する切換信号である。ローアデータ信号LDはデータバス信号の下位16[bit]を出力する切換信号である。

サイズ16信号SIZE16はデータバス信号が32[bit]か16[bit]かを設定する入力信号である。

前述のコ・プロセッサ信号及びクロック信号の外部端子25Dは、マイクロプロセッサ24のコ・プロセッサ信号及びクロック信号の外部端子24Dと同じ位置又は同じ列に配置されるか、隣接する列に配置される。例えば、コ・プロセッサ信号のバイトコントロール信号BC0~BC3はマイクロプロセッサ24、コ・プロセッサ25の夫々で対応する位置(C4、B4、A5及びC5)の外部端子24D、25Dの夫々に割り当てられる。また、同様に、コ・プロセッサ信号のコ・プロセッサデータインーブル信号CDEは、対応する位置ではないが、

端子25Dが主体に配列される。データバス信号D0~D31は32[bit]の入出力データ信号である。このデータバス信号D0~D31の端子でコ・プロセッサ25とそれ以外のマイクロプロセッサ24や外部装置例えばメモリとの間でデータの授受が行われる。データバス信号D0~D31のうち、データバス信号D0~D15が印加される外部端子25Dは半導体チップ25Bの上辺に配列される。データバス信号D0~D31のうち、データバス信号D16~D31が印加される外部端子25Dは半導体チップ25Bの下辺に配列される。つまり、データバス信号D0~D31が印加される外部端子25Dは32[bit]のうち16[bit]づつ上辺及び下辺に分割され配列される。データバス信号D0~D31は第7図において左斜線印(//)を付けた部分である。

前記コ・プロセッサ25の半導体チップ25Bは、第8図(チップレイアウト図)に示すように、周辺の各辺に沿って外部引出し端子(ボンディングパッド)BPが配列され、中央部分に回路が配置さ

れ、同じ列(列9)に配置される。また、同様に、コ・プロセッサ信号のバスアクセスタイプ信号BAT2は隣接する列(列6、7)に配置される。

このように、マイクロプロセッサ24とコ・プロセッサ25のクロック信号及びコ・プロセッサ信号(換言すれば、マイクロプロセッサ24とコ・プロセッサ25に共通な信号)の外部端子24D、25Dの夫々をパッケージの対応する位置、対応する列又は隣接する列に配置する。この構成により、マイクロプロセッサ24、コ・プロセッサ25の夫々を直線的に実装基板の実装面20D上に実装した場合、対応する外部端子24D、25Dの夫々を接続する配線を直線的に配置できる。この結果、例えばマイクロプロセッサ24とコ・プロセッサ25間又は複数のコ・プロセッサ25~28間のクロック信号のスキューを低減できる。

前記コ・プロセッサ25の半導体チップ25Bの前記一辺及び他辺と異なる対向する2辺(上辺及び下辺)には基準電圧Vss、電源電圧Vcc、データバス信号D0~D31の夫々が印加される外部端

子25Dが主体に配列される。データバス信号D0~D31は32[bit]の入出力データ信号である。このデータバス信号D0~D31の端子でコ・プロセッサ25とそれ以外のマイクロプロセッサ24や外部装置例えばメモリとの間でデータの授受が行われる。データバス信号D0~D31のうち、データバス信号D0~D15が印加される外部端子25Dは半導体チップ25Bの上辺に配列される。データバス信号D0~D31のうち、データバス信号D16~D31が印加される外部端子25Dは半導体チップ25Bの下辺に配列される。つまり、データバス信号D0~D31が印加される外部端子25Dは32[bit]のうち16[bit]づつ上辺及び下辺に分割され配列される。データバス信号D0~D31は第7図において左斜線印(//)を付けた部分である。

半導体チップ25Bの周辺部分の外部引出し端子BPの配列は、前記第5図及び第7図に示す外部端子25Dの配列に対応し、基本的には外部端子25Dと同様の配列で構成される。つまり、第8図に示す半導体チップ25Bの右辺には、第5図及び第7図に示すベース基板25Aの右辺に配列された外部端子25Dと同様に、コ・プロセッサ信号の外部引出し端子BPが主体に配列される。同様に、半導体チップ25Bの左辺にはベース基板25Aの左辺に配列された外部端子25Dすなわちクロック信号CKLf及びCKLr等の外部引出し端子BPが主体に配列される。半導体チップ25Bの下辺にはベース基板25Aの上辺に配列された外部端子25Dすなわちデータバス信号D0~D15の外部引出し端子BPが主体に配列される。半導体チップ25Bの上辺にはベース基板25Aの上辺に配列された外部端子25Dすなわちデータバス信号D16~D

31の外部引出し端子BPが主体に配列される。データバス信号D0～D31の外部引出し端子BPは、信号遅延を低減するため、外部端子25Dの配列と同様に、半導体チップ25Bの上辺、下辺の夫々に分割して配列され、最短距離で外部端子25Dに接続される。データバス信号D0～D31の外部引出し端子BPは、ここでは2個毎に固定電位(Vcc又はVss)の印加される外部引出し端子BPで、その両端を囲まれる。この構成により、データバス動作時の電源配線(Vcc又はVss)の電位変動に起因するノイズの発生を防止できる。

前記外部引出し端子BPのうち、特に半導体チップ25Bの左辺中央部に配列されたクロック信号CLKfが印加される外部引出し端子BPは、固定電位(Vcc又はVss)が印加された外部引出し端子(ほぼ正方形で形成される)BPでその両端を囲まれる。この固定電位が印加される外部引出し端子BPは外部引出し端子BPと内部回路との間に延在する電源配線255又は256に接続される。電源配線255は、例えばアルミニウム配線で構成

され、電源電位Vccに印加される。電源配線256は、例えばアルミニウム配線で構成され、基準電位Vssが印加される。クロック信号CLKfが印加された外部引出し端子BPに限定されず、本実施例の半導体チップ25Bは、コ・プロセッサ信号の外部引出し端子BPの周囲にもノイズの発生を防止するために固定電位が印加された外部引出し端子BPが配列される。

前記半導体チップ25Bの周辺に配列された外部引出し端子BPは、前記第4図に示すように、ボンディングワイヤ25F、リード配線25E、図示しないスルーホール配線の夫々を通して外部端子25Dに接続される。

ここでのコ・プロセッサ25～28は、本来、マイクロプロセッサ24に1チップ化して搭載するのが好ましいが、製造技術又は集積度の点で別のチップで構成し、特別の制御論理を組み入れることによって、マイクロプロセッサ24と密結合して、マイクロプロセッサ24の命令の実行の一端を担うLSIのことである。

前記コ・プロセッサ25以外のコ・プロセッサ26～28は、コ・プロセッサ25と実質的に同一構造であるので、外部端子の配列等の説明は省略する。

前述のマイクロプロセッサ24、コ・プロセッサ25～28の夫々は第1図、第2図、第9図(実装状態を示す要部底面図)及び第10図(実装状態を示す要部底面図)に示すように、電子装置20の実装基板20Dの実装面上に実装される。第9図はコ・プロセッサ信号配線及びクロック信号配線を主体に示し、第10図はこれらの信号配線とバスラインとを合せて示す。

実装に際しては、マイクロプロセッサ24、コ・プロセッサ25～28の夫々のコ・プロセッサ信号の外部端子(24D、25D～28D)が同じ列又は隣接する列に位置するように配置する。つまり、マイクロプロセッサ24、コ・プロセッサ25～28の夫々は実質的に一直線上に実装基板の実装面20D上に実装される。マイクロプロセッサ24、コ・プロセッサ25～28の夫々のコ・プロセッサ信号の外部端子(24D、25D～28D)は、第9図及び第10図に示

すように、実装基板の実装面20D上に直線的に延在するコ・プロセッサ信号配線20Aを介在させて電気的に接続される。同様に、クロック信号CLKfの外部端子(24D、25D～28D)は直線的に延在するクロック信号配線20Bを介在させて電気的に接続される。これらのコ・プロセッサ信号配線20A、クロック信号配線20Bの夫々は、電子装置20のシステムの高速度性を決定する高速信号が伝送される配線であり、第9図及び第10図に示すように実質的に直線で延在させることができる。特に、クロック信号CLKf、CLKfの夫々のクロック信号配線20Bはその延在方向において交差させずに延在させる。

一方、マイクロプロセッサ24、コ・プロセッサ25～28の夫々のデータバス信号D0～D31が印加される外部端子(24D、25D～28D)間は第1図及び第10図に示すようにバスライン(信号配線)20Cを介在させて電気的に接続される。バスライン20Cは前記コ・プロセッサ信号配線20A及びクロック信号配線20Bの両側に沿ってそれらの信号

配線と適度な寸法で離隔した位置に延在している。バスライン20Cは、各半導体チップ(24B~28B)の周囲の上辺及び下辺にデータバス信号D0~D31が印加される外部端子(25D等)が配列されているので、マイクロプロセッサ24、コ・プロセッサ25~28の夫々の上辺、下辺の夫々に沿って延在させることができる。バスライン20Cはマイクロプロセッサ24、コ・プロセッサ25~28の夫々の下辺を延在させてもよいしその外側の近傍を延在させてもよい。

前記実装基板20Dは例えば6層の信号配線層を備え、前記コ・プロセッサ信号配線20A、クロック信号配線20B、バスライン20Cの夫々は前記6層のうちのいずれかの信号配線層に形成される。

このように、マイクロプロセッサ24とコ・プロセッサ25(又は及び26~28)との関係にある第1半導体装置(PGA)及び第2半導体装置(PGA)を実装基板20Dに実装する電子装置20において、第9図及び第10図に示すように、前記第1半導体装置、第2半導体装置の夫々のクロック信号用外

部端子(25D等)に接続されるクロック信号配線20B、又はコ・プロセッサ信号用外部端子に接続されるコ・プロセッサ信号配線20Aを実装基板20D上に実質的に直線に延在させる。この構成により、前記実装基板20D上に形成されるクロック信号配線20B又はコ・プロセッサ信号配線20Aの配線長を短縮し、信号遅延を低減することができるので、電子装置20のシステムの動作速度の高速化を図ることができる。

また、前記第1半導体装置、第2半導体装置の夫々は方形状の半導体チップ(25B等)の周囲の各辺に沿って複数の外部端子(25D等)をベース基板(25A等)に配列し、この複数の外部端子のうち前記半導体チップの周囲の一辺、又はこの一辺及びそれと対向する他辺に前記コ・プロセッサ信号用外部端子又はクロック信号用外部端子を配列する。この構成により、前記コ・プロセッサ信号用外部端子又はクロック信号用外部端子を実装基板20D上の実質的に直線上に配列することができる。

また、前記第1半導体装置と第2半導体装置と

の間のデータバス信号D0~D31等の制御信号の授受はバスライン20Cで行われ、第1図及び第10図に示すように、このバスライン20Cはコ・プロセッサ信号配線20A、クロック信号配線20Bの夫々と離隔しかつそれに沿って前記実装基板20D上に延在させる。この構成により、前記コ・プロセッサ信号配線20A、クロック信号配線20Bの夫々とバスライン20Cとの間に発生するクロストークを低減できるので、電子装置20のシステムの誤動作を低減し、電気的信頼性を向上することができる。

また、第7図及び第9図に示すように、前記第1半導体装置、第2半導体装置の夫々のクロック信号用外部端子(25D等)の周囲に配列された外部端子(25D等)を固定電位(Vcc又はVss)に接続する。この構成により、前記クロック信号用外部端子の周囲を固定電位で電磁場的に遮蔽し、データバス信号D0~D31の信号レベルの切換えの際にクロック信号CLKf、CLKfへのノイズの発生を低減できるので、システムの誤動作を防止

し、電子装置20の電気的信頼性を向上することができる。

また、第8図に示すように、第1半導体装置、第2半導体装置の夫々の半導体チップ(25D等)のクロック信号CLKf、CLKfが印加される外部引出し端子(ボンディングパッド)BPの周囲に配列された外部引出し端子BPに固定電位を接続する。この構成により、前述と同様に、クロック信号CLKf、CLKfへのノイズの発生を低減できるので、システムの誤動作を防止し、電子装置20の電気的信頼性を向上することができる。

また、第7図及び第9図に示すように、複数のコ・プロセッサ25~28の夫々の外部端子(25D等)のうち、前記実装基板20D上に延在するクロック信号配線20Bに近接する位置に配列された外部端子を固定電位に接続する。つまり、コ・プロセッサ25~28の夫々の左辺に配列されたクロック信号CLKfが印加される外部端子(25D等)と対向する右辺に固定電位が印加される外部端子を配列する。この構成により、前述と同様に、実装基

板20D上のクロック信号配線20Bのクロック信号CLKf、CLKfへのノイズの発生を低減できるので、システムの誤動作を防止し、電子装置20の電氣的信頼性を向上することができる。

また、実装基板20Dに複數個のコ・プロセッサ25~28を実装する電子装置20において、第9図及び第10図に示すように、前記複數個のコ・プロセッサ25~28の夫々のクロック信号CLKf及びCLKfが印加される外部端子(25D等)に接続されるクロック信号配線20Bをクロック信号用外部端子の両側に配置して同一方向にほぼ平行に延在させる。この構成により、2つのクロック信号CLKf、CLKfの夫々の間に生じるクロストークを低減できるので、電子装置20の電氣的信頼性を向上することができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

ことができる。

電子装置のシステムの電氣的信頼性を向上することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である電子装置の概要を示す要部のブロック構成図、

第2図は、前記電子装置のブロック構成図、

第3図は、前記電子装置に実装される半導体装置の斜視図、

第4図は、前記半導体装置の断面図、

第5図は、前記半導体装置の底面図、

第6図は、マイクロプロセッサの場合の前記第4図に示す外部端子の各機能を示す図、

第7図は、コ・プロセッサの場合の前記第4図に示す外部端子の各機能を示す図、

第8図は、前記半導体装置に搭載される半導体パレットの平面レイアウト図、

第9図及び第10図は、前記電子装置に半導体装置を実装した状態を示す要部底面図である。

図中、20…電子装置、20A、20B…信号配線、

例えば、本発明は、前記電子装置20にコ・プロセッサとしてFPUを搭載したが、MMU(Memory Management Unit:管理ユニット)、DPU(Decimal Processing Unit:十進演算器)等のコ・プロセッサを電子装置に搭載してもよい。

また、本発明は、前記マイクロプロセッサ24、コ・プロセッサ25~28の夫々をPLCC(Plastic Loaded Chip Carrier)、QFP(Quad Flat Package)又はLCC(Leadless Chip Carrier)構造を採用する半導体装置で構成してもよい。つまり、本発明は外部端子数が多い所謂4方向型パッケージであればよい。

また、本発明は、前記電子装置20に実装されるマイクロプロセッサ、コ・プロセッサの夫々の配置数を前述の実施例に限定されず変えてもよい。

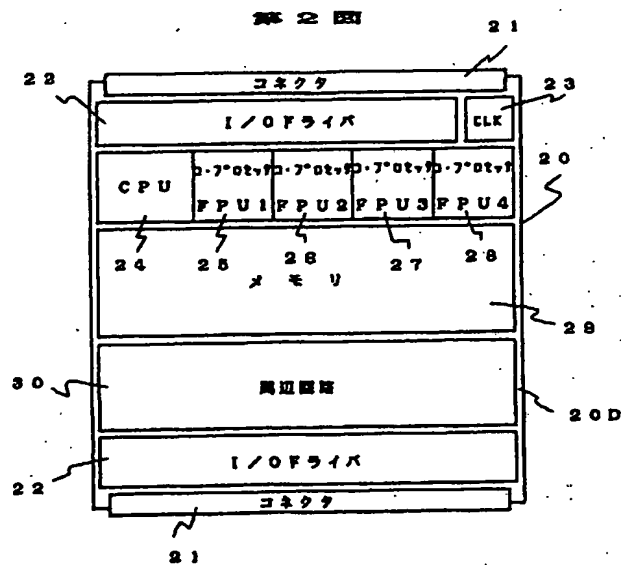
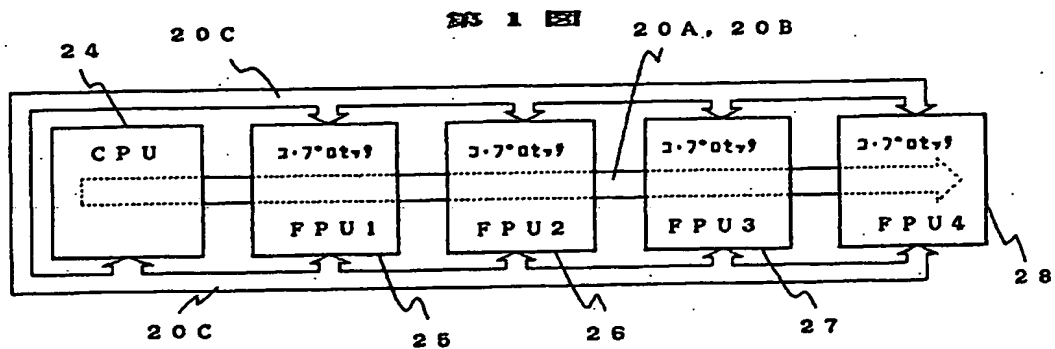
〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

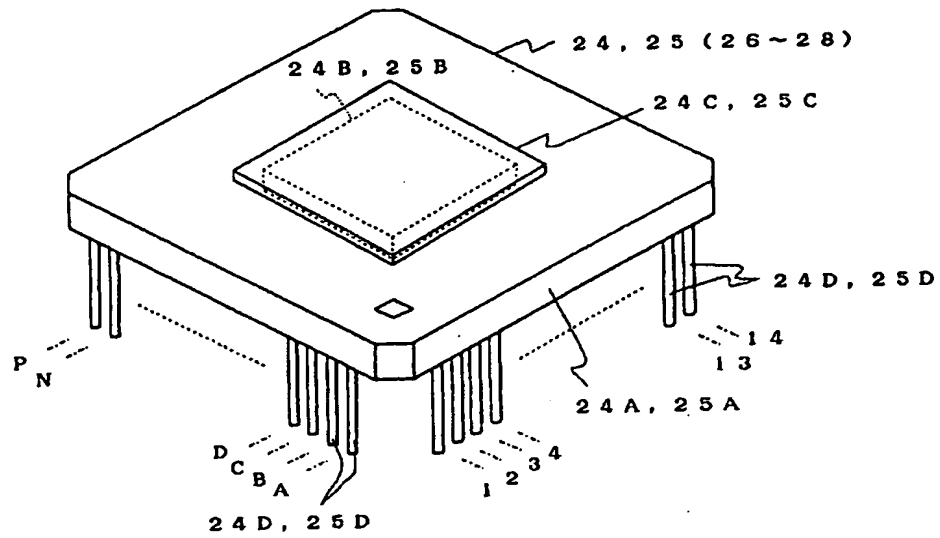
電子装置のシステムの動作速度の高速化を図る

20C…バスライン、20D…実装基板、24…マイクロプロセッサ、25~28…コ・プロセッサ、24B、25B…半導体チップ、24D、25D…外部端子(外部ピン)、BP…外部引出し端子(ボンディングパッド)である。

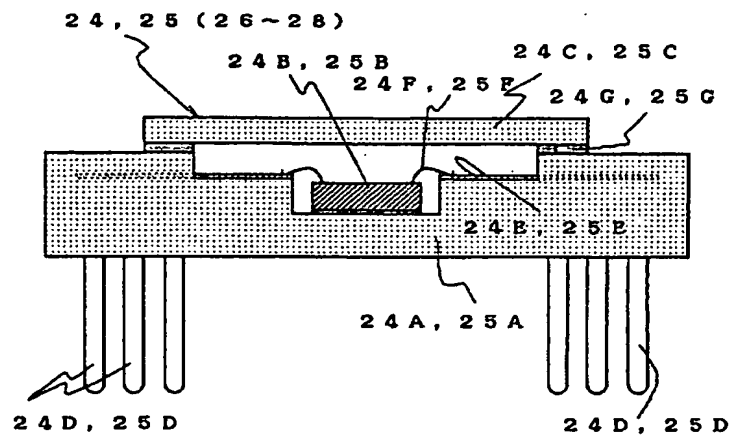
代理人 弁理士 秋田収喜



第3図

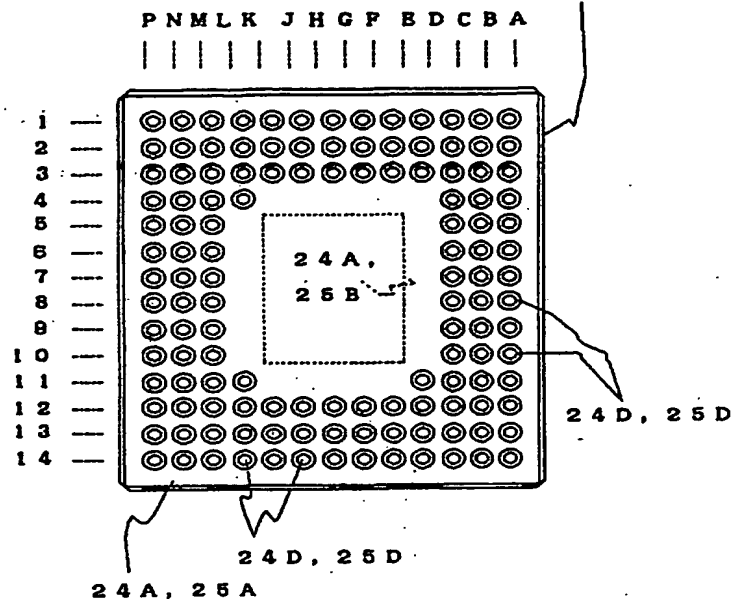


第4図



第 5 図

24, 25 (28~28)



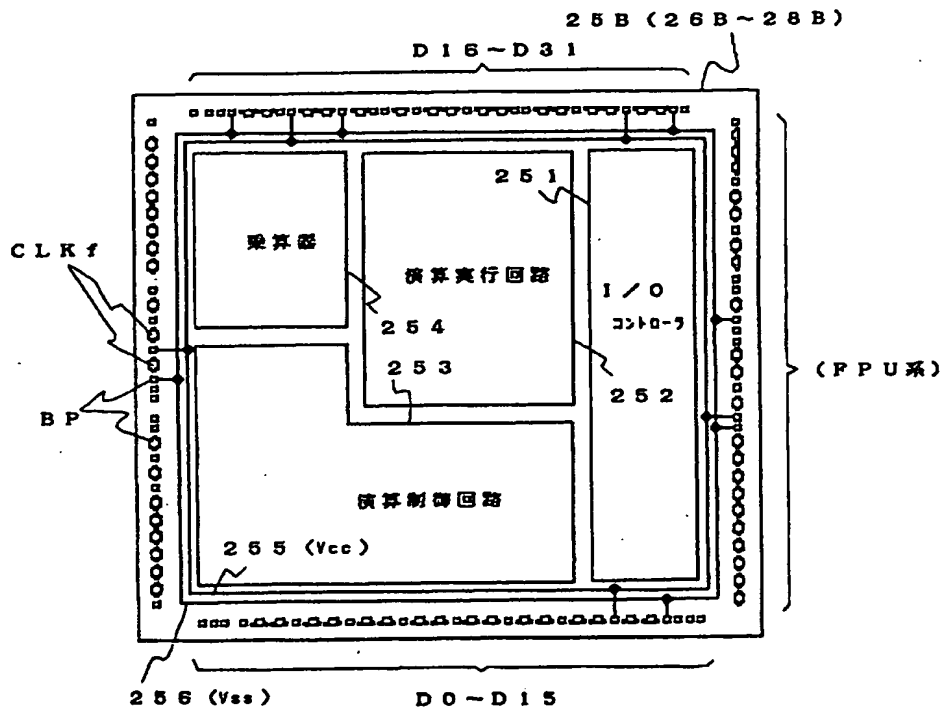
第 6 図

	P	N	M	L	K	J	H	G	F	E	D	C	B	A
1	V _{ss}	A26	A25	A23	A20	V _{ss}	A17	A16	A14	A13	A11	A8	V _{ss}	V _{ss}
2	RESET	V _{ss}	A27	V _{cc}	A21	A19	V _{ss}	A15	V _{cc}	A10	A7	A5	A3	A2
3	IRL2	IRL1	IRL0	A28	A24	A22	A18	A12	A9	A6	A4	A1	A0	V _{cc}
4	HREQ	HACK	PURGE	A29	半 導 体 チ ッ プ							BC0	BC1	BC2
5	NC	V _{cc}	GBR									BC3	BS	R/W
6	NC	NC	NC									LOC	NCA	BAT2
7	NC	NC	V _{ss}									V _{ss}	BATO	BAT1
8	CLK2	CLK1	V _{cc}									V _{cc}	V _{ss}	V _{ss}
9	V _{ss}	V _{ss}	NC									CDE	HALT	FLOAT
10	NC	NC	RNG									CPDC	DCT	DS
11	ASDC	NC	D31	D25							D0	BST	D0	V _{cc}
12	D30	V _{cc}	D28	D24	D22	D19	D16	D10	D6	D4	D1	CPST1	CPST2	AS
13	D29	D27	V _{ss}	D21	D18	D17	D15	V _{ss}	D9	D7	D5	D2	V _{ss}	CPST0
14	D26	V _{ss}	D23	D20	V _{ss}	D14	D13	D12	V _{ss}	D11	D8	V _{cc}	D3	V _{ss}

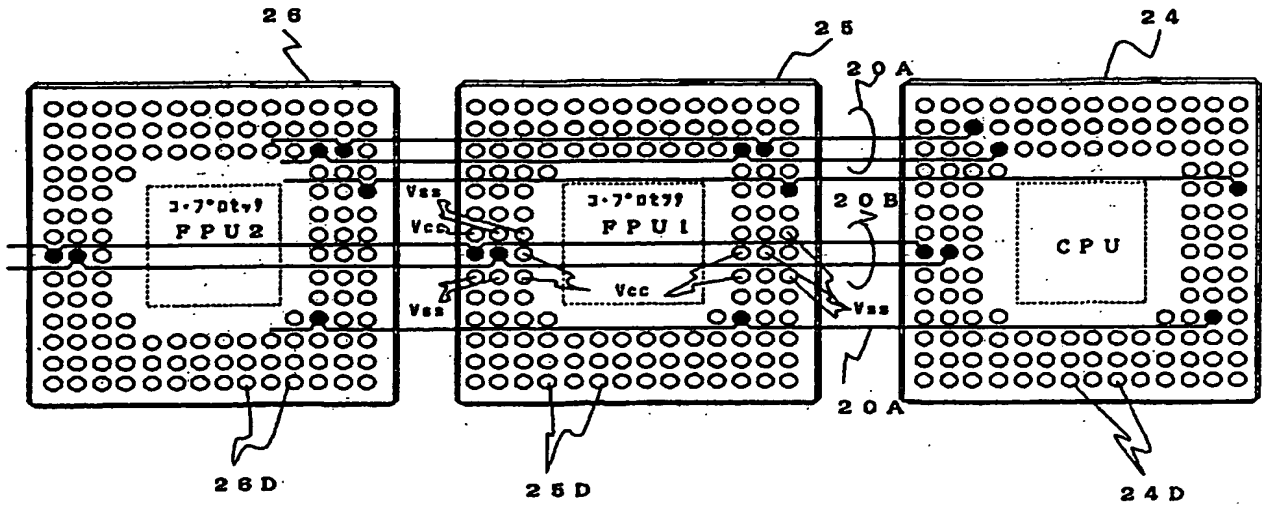
第 7 図

	P	N	M	L	K	J	H	G	F	E	D	C	B	A
1	V _{cc}	NC	V _{ss}	V _{cc}	V _{ss}	D9	D8	V _{ss}	D6	V _{cc}	V _{ss}	V _{cc}	V _{ss}	V _{ss}
2	RESET	V _{ss}	NC	D14	D12	D11	V _{cc}	D7	D4	D3	D1	V _{cc}	V _{cc}	A28
3	CPID0	UD	LD	V _{ss}	D15	D13	D10	D5	D2	D0	V _{ss}	A28	A27	HACK
4	V _{ss}	CPID2	CPID1	V _{cc}	半 導 体 チ ャ ッ プ							BC0	BC1	BC2
5	SIZ16	V _{cc}	IRL	V _{ss}								BC3	B.S	R/W
6	NC	V _{cc}	V _{ss}	V _{ss}								V _{ss}	V _{cc}	BAT0
7	V _{cc}	V _{ss}	V _{ss}	V _{ss}								BAT2	BAT1	V _{ss}
8	CLKf	CLKf	V _{cc}	V _{cc}								V _{cc}	V _{ss}	NC
9	V _{ss}	V _{ss}	V _{cc}	V _{cc}								V _{cc}	CDE	V _{ss}
10	NC	V _{cc}	V _{cc}	V _{cc}								RETRY	CPDC	V _{ss}
11	V _{cc}	V _{cc}	V _{cc}	NC	V _{ss}	D30	D29	V _{cc}	D22	D20	D18	V _{ss}	DC	BERR
12	V _{cc}	V _{cc}	V _{cc}	V _{ss}	D30	D29	V _{cc}	D22	D20	D18	D16	CPST1	CPST2	V _{ss}
13	NC	V _{ss}	V _{cc}	V _{ss}	D28	D27	V _{ss}	D24	V _{cc}	D21	D19	D17	V _{ss}	CPST0
14	V _{cc}	V _{ss}	D31	V _{cc}	V _{ss}	D26	V _{cc}	D25	V _{ss}	D23	V _{cc}	V _{ss}	V _{cc}	V _{cc}

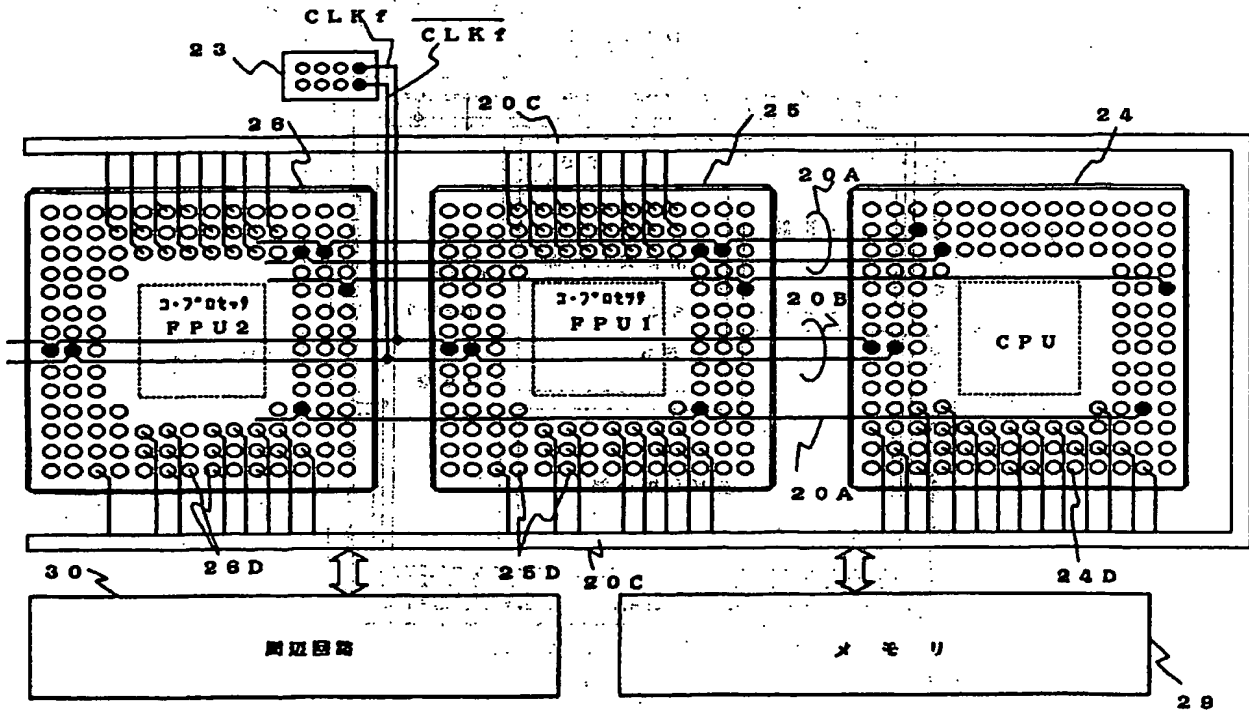
第 8 図



第 9 図



第 10 図



第1頁の続き

⑨Int. Cl. ⁵

識別記号

庁内整理番号

G 06 F 15/16

Z

6945-5B

H 01 L 25/04

H 05 K 13/06

B

7039-5E

⑫発 明 者 長 谷 川 淳

東京都小平市上水本町5丁目22番1号 日立マイクロコン
ピュータエンジニアリング株式会社内

⑫発 明 者 中 川 典 夫

東京都小平市上水本町5丁目20番1号 株式会社日立製作
所武威工場内